

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-194823
(43)Date of publication of application : 29.07.1997

(51)Int.Cl.

C09K 3/14
B24B 37/00
H01L 21/304

(21)Application number : 08-110575
(22)Date of filing : 08.04.1996

(71)Applicant : TOSHIBA CORP
(72)Inventor : MIYASHITA NAOTO
SHIMOMURA MARIKO
ABE MASAYASU

(30)Priority

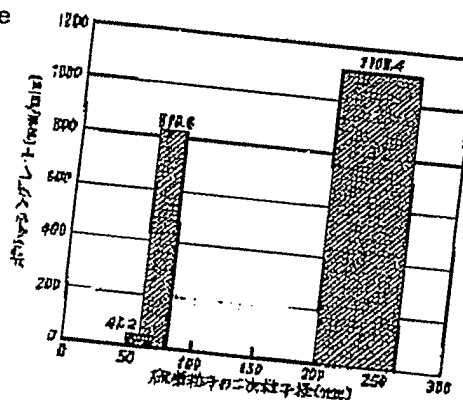
Priority number : 07317054 Priority date : 13.11.1995 Priority country : JP

(54) ABRASIVE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an abrasive having a high polishing rate and used in polishing substrates and an abrasive suitable for use in a method for leveling the film of a semiconductor substrate to be polished by CMP.

SOLUTION: In polishing a material to be polished, an abrasive prepared by dispersing at least one material selected from among silicon nitride, silicon carbide and carbon (graphite) in a solvent having a specified viscosity is used. This abrasive suitably has a primary particle diameter of 0.01-1,000nm. When the secondary particle diameter is in the range of 60-300nm, the polishing rate can be markedly improved. The abrasive grains have high hardness, and therefore they have a polishing rate higher than that of conventional abrasive grains and can perform the leveling of the film to be polished at good efficiency. This abrasive is suitably used for polishing the film of a semiconductor surface by CMP.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

14.11.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

Best Available Copy

[Patent number]	3514908
[Date of registration]	23.01.2004
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-194823

(43)公開日 平成9年(1997)7月29日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
C 0 9 K 3/14	5 5 0		C 0 9 K 3/14	5 5 0 E
B 2 4 B 37/00			B 2 4 B 37/00	H
H 0 1 L 21/304	3 2 1		H 0 1 L 21/304	3 2 1 P

審査請求 未請求 請求項の数7 F D (全 10 頁)

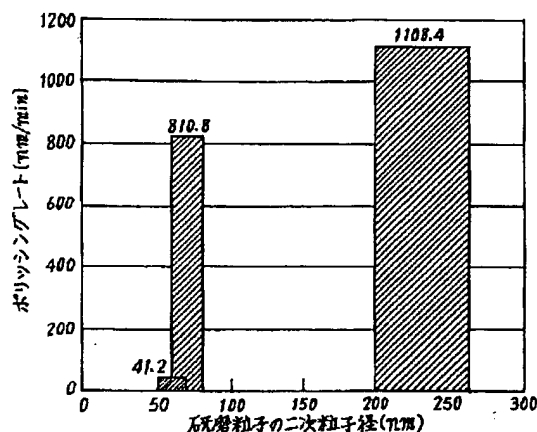
(21)出願番号	特願平8-110575	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成8年(1996)4月8日	(72)発明者	宮下 直人 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
(31)優先権主張番号	特願平7-317054	(72)発明者	下村 まり子 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
(32)優先日	平7(1995)11月13日	(72)発明者	安部 正泰 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
(33)優先権主張国	日本 (J P)	(74)代理人	弁理士 竹村 壽

(54)【発明の名称】 研磨剤

(57)【要約】

【課題】 基板をポリッシングする際に用いられるポリッシングレートが大きい研磨剤及びCMPにより半導体基板の被ポリッシング膜を平坦化する方法に適した研磨剤を提供する。

【解決手段】 被ポリッシング材のポリッシング処理において、窒化珪素、炭化珪素及び炭素（グラファイト）から選択された1つの材料からなる研磨粒子に分散させた研磨剤を用いる。この研磨粒子の1次粒子径は0.01～1000nmが適当である。また研磨粒子の2次粒子径が60～300nmの範囲にあるとポリッシングレートが大きく向上する。この研磨粒子は高い硬度を有しており従来知られている研磨粒子を分散させたものよりポリッシングレートが大きく、被ポリッシング膜の平坦化を効率良く行うことができる。この研磨剤は、半導体基板表面の被ポリッシング膜をCMPによりポリッシングする方法に適している。



【特許請求の範囲】

【請求項1】 窒化珪素粒子からなる研磨粒子を所定粘度の溶媒に分散させたことを特徴とする研磨剤。

【請求項2】 窒化珪素粒子からなる研磨粒子を溶媒に分散させたCMPに用いる研磨剤。

【請求項3】 粒子径が0.01~1000nmの窒化珪素粒子からなる研磨粒子を溶媒に分散させたことを特徴とする所定粘度を有する研磨剤。

【請求項4】 窒化珪素、炭化珪素及びグラファイトから選択された材料からなる研磨粒子を溶媒に分散させたことを特徴とする研磨剤。

【請求項5】 前記研磨粒子は、前記溶媒にコロイド状態で分散され、この研磨粒子がコロイド状態になった2次粒子の粒子径が60~300nmであることを特徴とする請求項1乃至請求項4のいずれかに記載の研磨剤。

【請求項6】 イオン水をさらに加えることを特徴とする請求項2又は請求項5に記載の研磨剤。

【請求項7】 前記研磨剤の粘度は、1~10センチポイズ(cps)であることを特徴とする請求項1乃至請求項6のいずれかに記載の研磨剤。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板をポリッシングするための研磨剤、とくにCMP法により半導体基板表面をポリッシングする際に用いられる研磨剤に関するものである。

【0002】

【従来の技術】ポリッシング装置は、研磨布を表面に張り付けモータなどにより回転される研磨盤と、基板を回転自在に支持し、回転する基板を研磨盤に押し付ける吸着盤とを備えている。このポリッシング装置を用いて基板をポリッシングするには、回転する基板のポリッシュする面を回転する研磨盤上の研磨布に押し付けて加工点に研磨剤(スラリーともいう)を供給しながらポリッシングするのが一般的である。このポリッシング装置を利用したポリッシング技術は、半導体装置や液晶などの微細化された製品の製造などに適用されている。ICやLSIなどの半導体装置は、半導体基板に形成される集積回路を設計する設計工程、集積回路を形成するために用いられる電子ビームなどを描画するためのマスク作成工程、単結晶インゴットから所定の厚みのウェーハを形成するウェーハ製造工程、ウェーハに集積回路などの半導体素子を形成するウェーハ処理工程、ウェーハを各半導体基板に分離しパッケージングして半導体装置を形成する組立工程及び検査工程等を経て形成される。各工程には、それぞれその工程に必要な製造装置が用意される。従来ウェーハ処理工程においてトレンチやコンタクトホールなどの溝(トレンチ)部に金属、ポリシリコン、シリコン酸化膜(SiO₂)などの任意の材料を埋め込んだ後にその表面を平坦化する方法としてエッチバックR

IE(Reactive Ion Etching)法が知られている。

【0003】しかし、このエッチバックRIE方法は、エッチバックレジストの塗布などの工程が多くなること、ウェーハ表面にRIEダメージが入りやすいこと、良好な平坦化が難しいこと、また真空系の装置を用いるため、構造が複雑で、危険なエッチングガスを使用することなどから様々な問題点が多い。そこで最近では、エッチバックRIEに代わってCMP(Chemical Mechanical Polishing)法が研究されるようになってきた。図16に、CMPを実施するためのポリッシング装置の概略を示し以下にその機構を説明する。図は、本発明にも適用される従来のポリッシング装置の断面図である。ステージ21上にベアリング22を介して研磨盤受け23が配置されている。この研磨盤受け23上には研磨盤24が取り付けられている。研磨盤24の上にはウェーハをポリッシングする研磨布25が張り付けられている。研磨盤受け23及び研磨盤24を回転させるためにこれらの中心部分に駆動シャフト26が接続されている。この駆動シャフト26は、モーター27により回転ベルト28を介して回転される。一方、ウェーハ20は、研磨布25と対向する位置に配置され、真空又は水張りにより吸着盤31に取り付けられた吸着布30及びテンプレート29に固定されている。

【0004】吸着盤31は、駆動シャフト32に接続されている。また、この駆動シャフト32は、モーター33によりギア34及び35を介して回転される。駆動シャフト32は、駆動台36に固定されている。駆動台36は、シリンダ37に取り付けられ、このシリンダ37による上下の移動に伴い、駆動台36は、上下する。吸着盤31に固定されたウェーハ20と研磨布25の間には、研磨剤が供給される。このようにしてウェーハ20のポリッシングが行われる。このポリッシング装置を用いて、図17及び図18に示すように、CVD酸化膜を埋め込みストッパー膜でポリッシングを止めることによりリセス構造に埋め込んだ酸化膜を完全に平坦化することができる。まず、シリコン半導体基板1上にSiO₂などの酸化膜をポリッシングするときのストッパー膜となる窒化珪素膜2を堆積する。その後、CVD(Chemical Vapour Deposition)により形成される溝部形成用のマスクとなるSiO₂酸化膜(以下、CVD酸化膜という)3を堆積する。CVD酸化膜3及び窒化珪素膜2をバタニングするためにフォトレジスト(図示せず)を半導体基板1全面に塗布しバタニングする。

【0005】フォトレジストをマスクにしてCVD酸化膜3とストッパー膜となる窒化珪素膜2とをRIE(Reactive Ion Etching)法により同時に開口して溝部5を形成した後、ウェット処理でRIE加工時の反応生成物とダメージ層を取り除く(図17(a))。次に、半導体基板1上及び前記溝部内にCVD酸化膜6もしくはBP SG(Boron-doped Phospho-Silicate Glass)等を堆積し

(図17(b))、図16に示すポリッシング装置で半導体基板1をポリッシングしてCVD酸化膜6を平坦化する(図18(a))。その後ストッパー膜である窒化珪素膜2は、取り除かれる(図18(b))。従来のポリッシング装置では、研磨粒子として酸化セリウム粒子もしくはシリカ粒子などを研磨剤に分散して使用しているのでオーバーポリッシングされて溝を埋め込んだCVD酸化膜6にディッシング形状の窪み7ができる。酸化膜6の窪み7のほかにシリコン半導体基板1自体の溝のコーナー部分もエッチングされており後工程を進めるにあたり問題となる。例えば、窪みに n^+ 化や p^+ 化したポリシリコンやメタル残りが生じることによるポリシリコン抵抗異常や配線ショートなどが発生することがある。

【0006】

【発明が解決しようとする課題】半導体基板の溝部に埋め込んだ酸化膜又は多層配線の層間絶縁膜に使用する酸化膜の平坦化にポリッシング装置を使用する場合、オーバーポリッシングによるディッシングや目的とする膜厚でポリッシングを止めるためにストッパー膜を用いる場合が多い。従来、酸化膜をポリッシングする場合、酸化セリウム粒子又はシリカ粒子を研磨剤に分散して使用している。シリカ粒子を分散させた研磨剤は、ポリッシング速度が約 $0.10 \sim 0.15 \mu\text{m}/\text{min}$ と遅い。また、酸化セリウム粒子を分散した研磨剤は約 $0.5 \sim 1.0 \mu\text{m}/\text{min}$ と速いポリッシング速度を有している。しかし、酸化セリウム粒子を用いた研磨剤を用い窒化珪素膜をストッパーにする場合においてはその選択比が約2、ポリシリコンをストッパー膜に使用する場合においてはその選択比が約1~2と低く、そのためオーバーポリッシングになってストッパー膜まで削れてしまうという問題があった。

【0007】一方、シリカ粒子を研磨剤に分散して使用する場合においても、窒化珪素膜をストッパー膜に使用する場合において選択比が2、ポリシリコン膜をストッパー膜に使用する場合においても選択比は1と低く、そのためオーバーポリッシングになるとストッパー膜まで削れてディッシング化するという問題があった。しかし、この研磨剤は、ポリッシング速度が約 $0.15 \mu\text{m}/\text{min}$ と遅いので削り量をコントロールし易く、コントロールしながらオーバーポリッシングによるディッシング量を軽減している。この様に、十分にポリッシング速度の大きい研磨剤がなく、ポリッシング速度が比較的大きい研磨剤であってもストッパー膜に対して選択性が低いためにディッシングを完全に抑えることが難しく、プロセスマージンが低いのでCMP処理を量産化プロセスに使用することは難しいのが現状である。本発明は、基板をポリッシングする際に用いられるポリッシンググレートの大

き研磨剤及びCMPにより半導体基板の被ポリッシング膜を平坦化する方法に適した研磨剤を提供する。

【0008】

【課題を解決するための手段】本発明は、被ポリッシング材のポリッシング処理において、窒化珪素、炭化珪素及びグラファイト(グラファイトはカーボングラファイトをいう)から選択された1つの材料からなる研磨粒子に分散させた研磨剤を用いることを特徴としている。また、窒化珪素、炭化珪素及びグラファイトから選択された1つの材料からなる研磨粒子を分散させた研磨剤をCMPに適用して半導体基板上の被ポリッシング材をポリッシングすることを特徴としている。研磨粒子の1次粒子径は、 $0.01 \sim 1000 \text{ nm}$ が適当であり、2次粒子径は、 $60 \sim 300 \text{ nm}$ が適当である。2次粒子径は、 $0.01 \mu\text{m}$ 以上の粒子径が測定できる遠心沈降法を用いて測定した。1次粒子は、粒子そのものをいい、2次粒子は、溶媒に分散したときに分子間力などの作用によって1次粒子が凝集して形成されたコロイド状の粒子であり、表面積は、1次粒子が付着したり離れたりしている不安定な状態にある。溶媒が水などの場合のように、2次粒子が生成されない研磨剤もあり、本発明にはそのような研磨剤も含まれている。

【0009】この研磨剤を用いてCMPを実施する場合、研磨剤をイオン水などの分散剤で稀釈して利用するようにしても良い。研磨剤の粘度は、 $1 \sim 10$ センチポイズ(cP)が適当である。研磨剤に窒化珪素、炭化珪素及びグラファイトから選択された1つの材料を含む研磨粒子を分散させたものは高い硬度を有しており、従来知られている研磨粒子を分散させたものよりポリッシンググレートが大きく、被ポリッシング膜の平坦化を効率良く行うことができる。また、窒化珪素、炭化珪素及び炭素から選択された1つの材料を含む研磨粒子を分散させた研磨剤をポリッシングに用い、被ポリッシング膜が形成された基板上のストッパー膜として前記材料と同一の材料を含むものを用いる場合にはストッパー膜に対して高い選択比を得ることができ、ディッシングのない加工形状の被ポリッシング膜を得ることができる。窒化珪素、炭化珪素及び炭素から選択された1つの材料を含む研磨粒子は、研磨剤の材料として新規であり、高い硬度を有しているのでポリッシンググレートが大きくポリッシング処理に最適な材料である。特に窒化珪素を含む研磨粒子は、窒化珪素膜が半導体装置の層間絶縁膜や保護絶縁膜などに従来から良く用いられているので高純度のものが得られる。さらに、窒化珪素膜は、ストッパー膜として最終的に取り去らずに半導体基板に絶縁膜の一部としてそのまま利用することも出来るので半導体装置の製造方法に適用してとくに有用である。

【0010】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。本発明のポリッシングを実施するに際し従来の技術で説明した図16のポリッシング装置を用いる。本発明のポリッシング装置は新規な組成の研磨剤を供給するノズルなどの手段がある点で従来のものと

は異なっているが図に示されるその他の部分では格別な相違は無いので両者を共通の図で示した。まず、図1乃至図5を参照して第1の発明の実施の形態を説明する。図は、半導体基板上の被ポリッシング膜をポリッシングする方法を説明する工程断面図である。この発明の実施の形態では半導体ウェーハのポリッシング処理面において、窒化珪素粒子を硝酸からなる溶媒に分散させた研磨剤を用いると共にストッパー膜材料と同じ組成の研磨粒子を使用することにより、ストッパー膜との選択比を上げることがを特徴としている。研磨粒子は、被ポリッシング膜に作用して被ポリッシング膜を機械的に研磨する機能を司る粒子をいう。研磨剤の粘度は約2 c pである。図は、シリコン半導体基板に溝部を形成しこの溝部をCVD酸化膜で埋め込み、ポリッシング装置により平坦化する素子分離法とそのプロセスを示している。シリコン半導体基板1上に酸化膜をポリッシングするときのストッパー膜となる窒化珪素膜2を厚さ約70 nm堆積する。

【0011】その後、溝部形成用マスクとなるCVD酸化膜3を窒化珪素膜2の上に堆積する(図1(a))。マスク及びストッパー膜をパターニングするためにフォトレジスト4をCVD酸化膜3の全面に塗布する(図1(b))。次に、このフォトレジスト4をパターニングする(図2(a))。パターニングされたフォトレジスト4をマスクにしてCVD酸化膜3とその下のストッパー膜である窒化珪素膜2をRIE法などにより開口する(図2(b))。次に、さらにRIE法で溝部5を形成する(図3(a))。溝部5を形成した後にウェット処理によりRIE加工時の反応生成物とダメージ層を取り除いた状態とする。そして、窒化珪素膜2の上及び溝部5にCVD酸化膜6もしくはBPSG膜を堆積する(図3(b))。このCVD酸化膜6を被ポリッシング膜として図16に示すポリッシング装置を用いてポリッシングする。このポリッシング装置に用いる研磨剤には、研磨粒子として窒化珪素粒子が溶媒(硝酸)に分散されている。研磨剤に均一に分散するために窒化珪素粒子をコロイド状態にして分散される。研磨剤の粘度は1~10 c pが適当である。なぜなら粘性が低いと均一に粒子を分散させることが難しく、また粘性が高いとメカニカルポリッシュ性が強くなり、ウェーハの反りや膜厚の均一性がCMP後の均一性に大きく影響するようになるからである。そのため均一なポリッシングが難しくなる。

【0012】ポリッシング温度は、20~70℃が適しており、とくに高温処理ではケミカルな作用が強くなる。窒化珪素粒子の粒径は、1次粒子で0.01~1000 nmの範囲が使用される。1000 nmを越えるとメカニカルポリッシュ性が強くなり過ぎてケミカルポリッシュ性の影響が極端に少なくなるので好ましくない。また、0.01 nmより小さいとメカニカルポリッシュ性が弱くなりバランスのとれたポリッシングができなく

なる。とくに1次粒子で10~40 nmが好ましく、メカニカルポリッシュ性とケミカルポリッシュ性とのバランスの良いポリッシングができる。またコロイド状態などになった2次粒子では60~300 nmが適当であり、特に60~100 nmが好ましい。本発明では、分散性を良くするために研磨粒子を以外に、例えば、界面活性剤に混合して分散させることもできる。図4(a)に、CVD酸化膜6をこのポリッシング装置で平坦化した後の状態を示す。ポリッシング後は、ストッパー膜である窒化珪素膜2をエッチング除去する(図4(b))。このあと仕上げのポリッシングを行い、半導体基板面とCVD酸化膜6の表面を一樣に仕上げる(図5)。このポリッシングにより、シリコン半導体基板1及び埋め込んだCVD酸化膜6にディッシングが無い良好な加工形状を得ることができた。

【0013】この発明の実施の形態では、窒化珪素粒子を研磨粒子として使用しているためにストッパー膜である窒化珪素膜2に対して50~1000の選択比と約0.5~1 $\mu\text{m}/\text{min}$ 以上のポリッシング速度を得ることができる。また、半導体基板上に形成したストッパー膜と同じ材料を研磨粒子に用いる研磨剤としては、窒化珪素粒子のかわりにグラファイト粒子やSiC粒子などを用いることもできる。その場合のストッパー膜には、勿論グラファイト膜やSiC膜をそれぞれ用いる。研磨剤に含まれる研磨粒子と被ポリッシング膜が形成された基板に設けられたストッパー膜とが同じ材料で構成されている場合において、ストッパー膜に対して高い選択比が得られるが、グラファイト膜やSiC膜などをストッパー膜にするとストッパー膜に対する具体的な選択比はポリッシング温度や研磨盤の回転数などのポリッシング条件により大きく変わる。

【0014】次に、図6乃至図12のポリッシング工程を示す断面図を参照して第2の発明の実施の形態を説明する。これらの図に併せて従来のポリッシングの結果を示す図19及び図20を比較しながら発明の実施の形態の効果を説明する。この発明の実施の形態では、半導体基板のポリッシング処理において研磨剤としてストッパー膜材料と同じ組成の研磨剤を使用することにより、ストッパー膜との選択比を上げている。半導体基板上の対象とする被ポリッシング膜は、ポリシリコン膜からなる。従来は、ポリシリコン膜をポリッシングする場合、シリカ粒子を研磨剤に分散して使用しているが、ここでは窒化珪素粒子を研磨粒子としている。シリコン基板1の主面を厚さ10~50 nm程度を熱酸化してパッファ酸化膜(SiO_2)8を形成する(図6(a))。その後2回目のポリシリコン膜をポリッシングするときのストッパー膜に用いられ、且つ素子領域を保護するためのマスクに用いられる窒化珪素膜2をパッファ酸化膜8の上に厚さ70 nm程度堆積する(図6(b))。その後、溝部形成用マスクとなるCVD酸化膜3を窒化珪素

膜2の上に堆積する(図7(a))。マスク及び窒化珪素膜をパターニングするために、フォトレジスト9をCVD酸化膜3全面に塗布し、これをパターニングする(図7(b))。

【0015】このフォトレジスト9をマスクにしてCVD酸化膜3とストッパー膜となる窒化珪素膜2をRIE法などにより同時に開口する(図8(a))。溝部10を形成した後ウェット処理にてRIE加工時の反応生成物とダメージ層を取り除き、その後溝部10の内表面を熱酸化して酸化膜11を形成する(図8(b))。次に、減圧CVDなどによりポリシリコン膜12を溝部10の内部及びCVD酸化膜3の上に堆積する(図9

(a))。次に、ポリシリコン膜12を被ポリッシング膜として図16に示すポリッシング装置を用いて1回目のポリッシングを行う。このポリッシング装置に用いる研磨剤には、研磨粒子として窒化珪素粒子が硝酸からなる溶媒に分散されている。窒化珪素粒子は界面活性剤を混合して分散させても良い。研磨剤の粘度は、1~10cPが適当であり、ポリッシング温度は、20~70℃が適している。研磨粒子の2次粒子径は、60~300nmが適当である。この1回目のポリッシングにおけるストッパー膜にはCVD酸化膜3が用いられる。図9

(b)に、ポリシリコン膜12をこのポリッシング装置で平坦化した後の状態を示す。酸化膜3をストッパー膜として使用しているため選択ポリッシングができることからディッシングは生じない。1回目のポリッシング後は、CVD酸化膜3をHFを含むエッチング液によりエッチングする(図10(a))。CVD酸化膜3を取り除く結果ポリシリコン膜12は、半導体基板1から突出した状態になっている。

【0016】次に、この突出した状態のポリシリコン膜12を被ポリッシング膜として図16に示すポリッシング装置を用いて2回目のポリッシングをする。このポリッシング装置に用いる研磨剤は前記1回目のポリッシングと同じである。図10(b)に、ポリシリコン膜12をこのポリッシング装置で平坦化した後の状態を示す。この平坦化によりディッシングされずに溝部がポリシリコン膜12で埋め込まれる。窒化珪素膜2の一部は、そのままLOCOS用のマスクとして使用されるので、その部分の上には、フォトリソグラフィ工程を経てフォトレジスト13が形成される(図11(a))。そして、窒化珪素膜2のフォトレジスト13で被覆されている領域を除く領域をRIE等で除去後、フォトレジストを剥離する(図11(b))。そして、熱処理により半導体基板1表面をLOCOS酸化膜14で被覆する(図12)。

LOCOSマスクは周辺部がオーバーポリッシュのために薄くなりパズピークができるが、これは従来より小さく形成されるので、エリア面積がデバイス特性に大きく影響するほど影響されることはない。ここでは窒化珪素粒子を研磨粒子に用いているのでストッパー膜

である窒化珪素膜2(1回目ポリッシング)に対して50~1000の選択比と0.8~1.1 $\mu\text{m}/\text{min}$ 以上のポリッシング速度を得ることができる。酸化膜をストッパー膜にする場合(2回目ポリッシング)は、選択比が2~3程度になる。

【0017】従来の方法で半導体基板1の被ポリッシング膜をポリッシングする場合において、図10(a)で示す飛び出したポリシリコン膜12をポリッシングして平坦化する場合、窒化珪素膜2をストッパー膜とするため、選択性が低いことが原因となりディッシングされて溝部を埋め込んだポリシリコン膜12に凹みとストッパー膜に片縁減りが生じる(図19(a))。窒化珪素膜の一部は、そのままLOCOSマスクとして使用するので、フォトリソグラフィ工程を経て窒化珪素膜2のLOCOSマスクとなる部分の上にフォトレジスト13を形成する(図19(b))。窒化珪素膜2のフォトレジスト13に被覆されている領域以外の領域をRIE等で除去後、フォトレジスト13を剥離する。そして、半導体基板1の表面を熱処理してLOCOS酸化を行う(図20(b))。この様な従来の方法ではマスクは周辺部がオーバーポリッシュのために薄くなりパズピークが大きく入り、デバイスエリアが狭くなってしまう。このエリア面積は、デバイス特性に大きく影響することが知られており、コントロールしなければならない。本発明では、新規な構成の研磨剤を使用することにより図10(b)に示すような良好な平坦形状を得ることができ、その結果図12に示すようなLOCOSパターン変換差がない良好な加工形状を得ることができる。

【0018】次に、図13及び図14を参照して第3の発明の実施の形態を説明する。最近、CMP技術が高集積デバイスの製造プロセスに用いられており、本発明はこのプロセスに適用できる。ここに示す埋め込み金属配線方法では図16のポリッシング装置を用いて埋め込みCu配線を形成する。研磨剤には窒化珪素粒子を研磨粒子として硝酸からなる溶媒に分散混入させる。研磨剤に窒化珪素粒子を用いているのでポリッシング速度は、0.5~1.0 $\mu\text{m}/\text{min}$ と速く、またこの窒化珪素粒子を分散させた研磨剤を用いたポリッシングにおいて半導体基板上のストッパー膜としてこの粒子と同じ材料である窒化珪素膜を用いるとストッパー膜に対する選択比は著しく高くなる。この窒化珪素粒子を含む研磨剤を用いてポリシリコン膜や酸化シリコン膜など他の材料をストッパー膜にしてもやはりその選択比は、窒化珪素膜の場合ほど高くないが、従来から知られている研磨粒子を用いる場合より大きい。窒化珪素粒子の研磨剤への分散は界面活性剤などを用いて分散効率を高めることができる。

【0019】半導体基板1上に SiO_2 などからなるCVD酸化膜3及びプラズマCVDで形成された SiO_2 などの酸化膜(以下、プラズマ酸化膜という)15を続

けて形成する(図13(a))。次で、プラズマ酸化膜15をパターニングして所定箇所に溝部17を形成する(図13(b))。溝部17内及びプラズマ酸化膜15の全面にCu膜16を堆積する(図13(c))。次に、図16のポリッシング装置によりプラズマ酸化膜15をストッパー膜としてCu膜16をポリッシングする。プラズマ酸化膜15が露出した段階でCu膜16のポリッシングを終了させる。この処理により溝部17内にはのみCu膜が埋め込まれ、Cu膜の埋め込みCu配線16が形成される(図14(a))。このポリッシングにより半導体基板1の表面がディッシングのない平坦化された表面がえられる。続く2層目のプラズマ酸化膜(SiO₂)18の形成が容易になる(図14(b))。このCMP法による平坦化により2層目、3層目の電極配線(図示せず)の形成も容易となる。

【0020】この発明の実施の形態において、下地酸化膜や配線金属材料として、プラズマCVDSiO₂膜やCu膜などを用いたがそれぞれの所定の絶縁性能や金属配線としての性能を満たせば、プラズマCVDSi₃N₄膜やAl、Au、Wその他合金等の材料であっても良く、この下地酸化膜に形成された配線溝の深さや被着した配線用金属材料の膜厚も適宜選択することができる。図15は、第2の発明の実施の形態において研磨剤を用いてポリッシングを行ったときの半導体基板上の被ポリッシング膜のポリッシングレートの研磨粒子の2次粒子径依存性を示す特性図である。縦軸は、ポリッシングレート(nm/min)を示し、横軸は、研磨剤に分散された研磨粒子の2次粒子径(nm)を示す。図に示すように、硝酸を溶媒とし、これに窒化珪素粒子を研磨粒子として分散させた研磨剤を用いてシリコン半導体基板上の被ポリッシング膜(ポリシリコン膜)をポリッシングする。研磨粒子の2次粒子径が50nm程度であると、ポリッシングレートは、41.2nm/min程度であるのに対し、この2次粒子径が60nmを越えるとポリッシングレートは、810.8nm/minに達する。2次粒子径がさらに大きく200~260nm程度になると、ポリッシングレートは、さらに大きくなり、1108.4nm/minになる。

【0021】このように研磨粒子の2次粒子径が大きくなるにしたがってポリッシングレートは、大きくなり、2次粒子径が60nm付近で臨界的に増大する。研磨粒子の粒子径が小さいときはケミカルポリッシングが主体になってポリッシングが行われ(ケミカルポリッシング律速)、粒子径が大きくなるにつれてメカニカルポリッシングの作用が強くなる(メカニカルポリッシング律速)。2次粒子では、粒子径が60nmにおいてメカニカルポリッシング強く作用するようになるものと思われる。とくに、被ポリッシング膜としてポリシリコン膜を用いるときに顕著に上記の作用が現れる。研磨粒子の一次粒子径が0.01~1000nmの範囲は、半導体基

板上の被ポリッシング膜をポリッシングするのに適した範囲である。このように、研磨粒子は、大きければ大きいほどポリッシングレートが増大するが、粒子径が必要以上に大きくなると、被ポリッシング膜である半導体基板上の酸化膜の表面に傷が目立つようになり、この傷に金属が入り込んで短絡事故を起こすようになる。この様な傷が少なく、平坦な面をもつ被ポリッシング膜を形成するためには、この2次粒子径は300nmを越えないのが良く、とくに60~100nmが傷のない面を形成する上で好ましい。しかし、半導体装置の微細化が進むにつれて少しの傷でも半導体装置の特性に影響がでるので、粒子径は可能な限り小さい方がよい。研磨剤に用いられる溶媒には硝酸以外にも乳化剤、水、界面活性剤、油脂、イオン水などが用いられる。溶媒には酸性溶媒が主として用いられ、その代表的な例が硝酸である。アルカリ溶媒としては、例えば、アンモニアやピペラジンのようなアミンがあり、また、KOHやNaOHなどの無機アルカリも本発明では用いられる。

【0022】また、本発明の研磨剤は、CMP処理時においてポリッシング装置に装着された半導体基板をポリッシングする際に、研磨剤を半導体基板の加工点に供給すると同時に分散剤(イオン水)も加工点に供給する。この加工点まで研磨剤と分散剤とを分離しておくのは、イオン水と溶媒が反応して研磨剤が劣化すると、とくにアルカリイオン水は長く保持することができないためである。予め分散剤(イオン水)を研磨剤(スラリー)に加えて希釈された研磨剤を形成することもできる。このような研磨剤は、研磨剤だけが研磨に寄与するのではなく、分散剤による補助的な研磨作用も有る。また、研磨剤の溶媒にも分散作用がある。なお、実施例では、ストッパー膜と研磨粒子とを同じ材料で形成しているが、本発明は、このような組み合わせに限定されるものではなく、研磨粒子が窒化珪素であればストッパー膜はどのような材料を用いても良い。

【0023】

【発明の効果】窒化珪素、炭化珪素及びグラファイトから選択された1つの材料からなる研磨粒子を分散させた研磨剤は、ポリッシングレートが大きく、被ポリッシング膜の平坦化を効率良く行うことができる。また、この研磨剤を半導体基板をポリッシングするCMPに用いると、被ポリッシング膜に対してディッシングのない加工形状を得ることができる。

【図面の簡単な説明】

【図1】第1の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図2】第1の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図3】第1の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図4】第1の発明の実施の形態のポリッシングを説明

する半導体基板の断面図。

【図5】第1の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図6】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図7】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図8】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図9】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図10】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図11】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図12】第2の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図13】第3の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図14】第3の発明の実施の形態のポリッシングを説明する半導体基板の断面図。

【図15】ポリッシング時の被ポリッシング膜のポリッシングレートの研磨粒子の2次粒子径依存性を示す特性図。

【図16】本発明及び従来のポリッシング装置の断面

* 図。

【図17】従来のポリッシング方法を説明する半導体基板の工程断面図。

【図18】従来のポリッシング方法を説明する半導体基板の工程断面図。

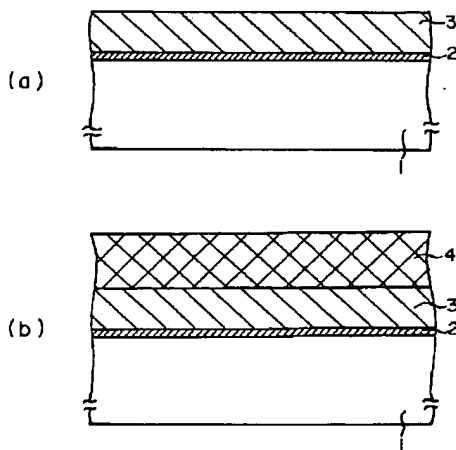
【図19】従来のポリッシング方法を説明する半導体基板の工程断面図。

【図20】従来のポリッシング方法を説明する半導体基板の工程断面図。

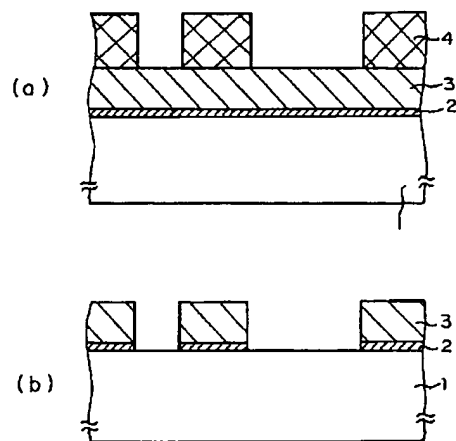
【符号の説明】

1・・・半導体基板、 2・・・窒化珪素膜、
3、6・・・CVD酸化膜、 4、9、13・・・フ
ォトレジスト、 5、10、17・・・溝部、7・・・
窪み、 8・・・パッキン酸化膜、 11・・・
酸化膜、12・・・ポリシリコン膜、 14・・・L
OCOS酸化膜、 15、18・・・プラズマ酸化
膜、 16・・・Cu膜、埋め込みCu配線、20・・・
ウェーハ、 21・・・ステージ、 22・・・
ベアリング、23・・・研磨盤受け、 24・・・
研磨盤、 25・・・研磨布、26・・・駆動シャ
フト、 27・・・モーター、 28・・・回転ベル
ト、 29・・・テンプレート、 30・・・吸着
布、 31・・・吸着盤、 32・・・駆動シャ
フト、33・・・モーター、 34、35・・・ギ
ア、 36・・・駆動台、 37・・・シリンダ。

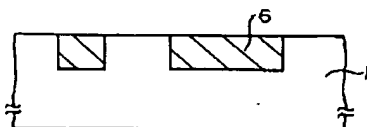
【図1】



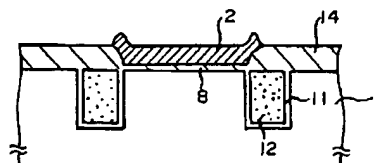
【図2】



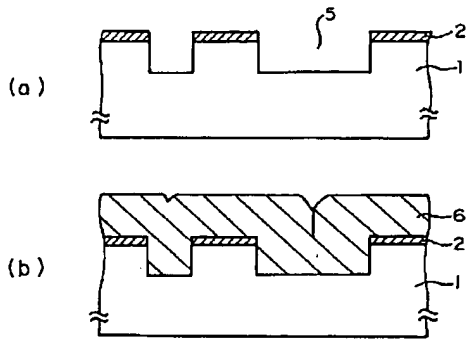
【図5】



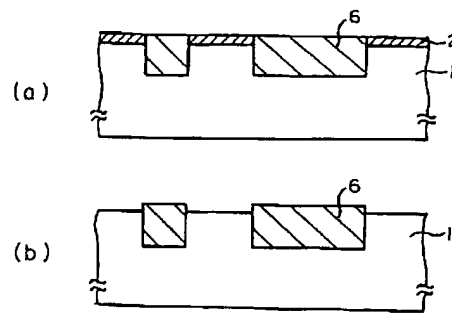
【図12】



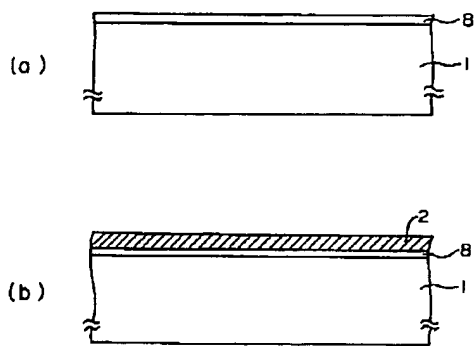
【図3】



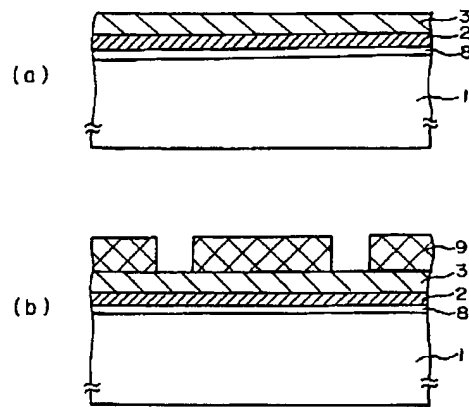
【図4】



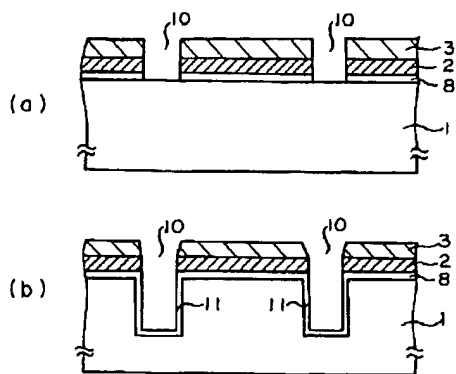
【図6】



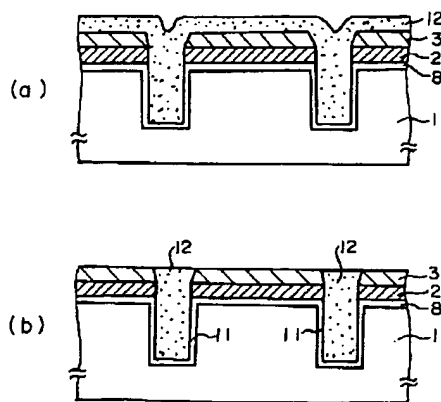
【図7】



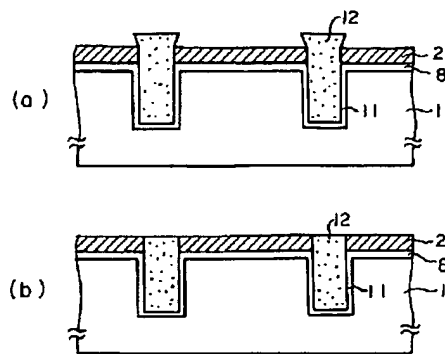
【図8】



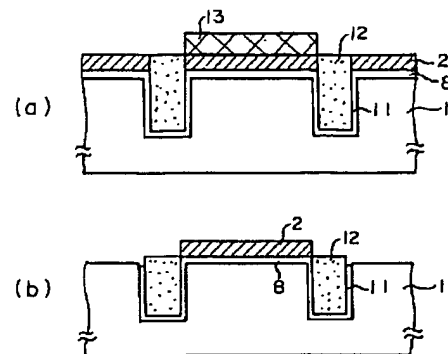
【図9】



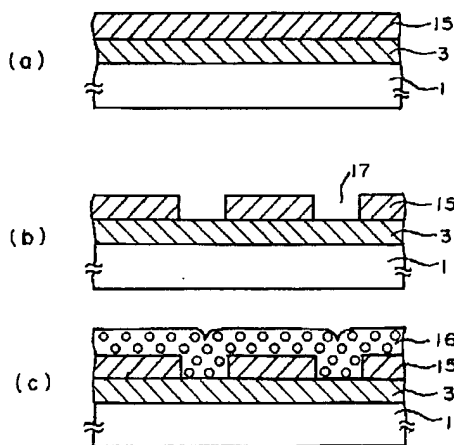
【図10】



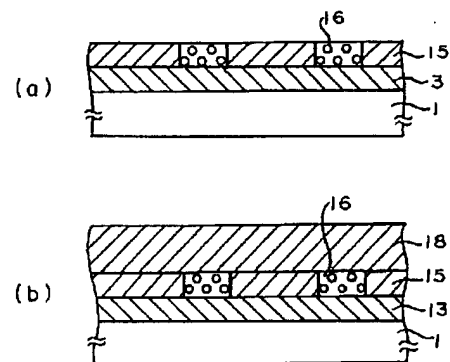
【図11】



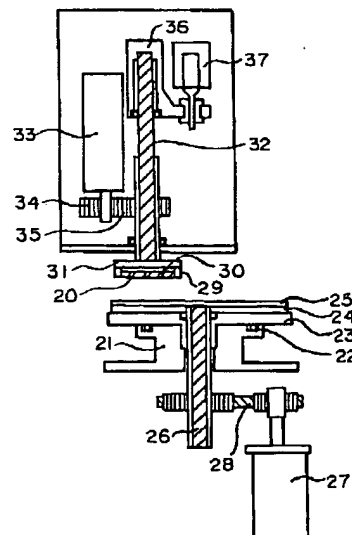
【図13】



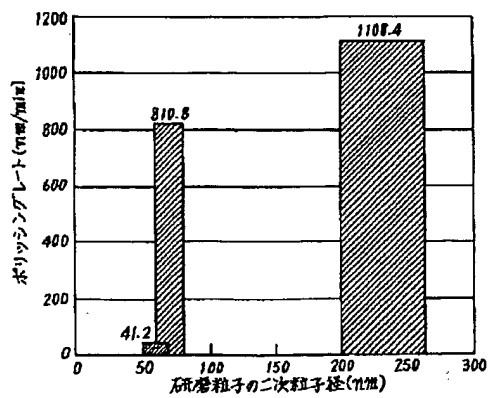
【図14】



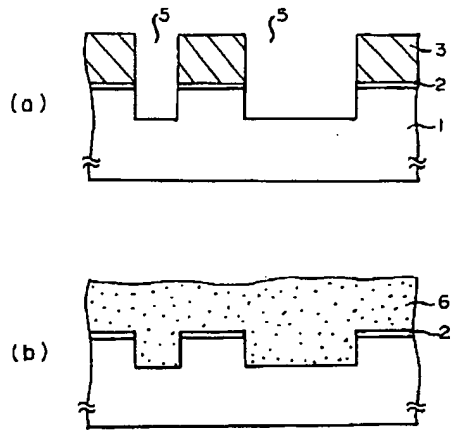
【図16】



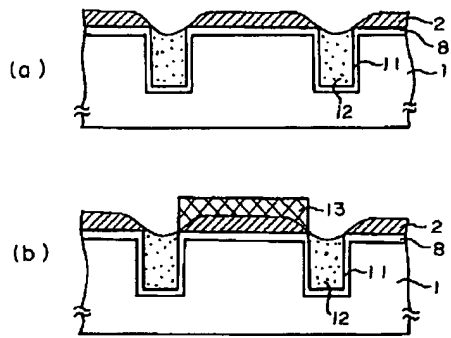
【図15】



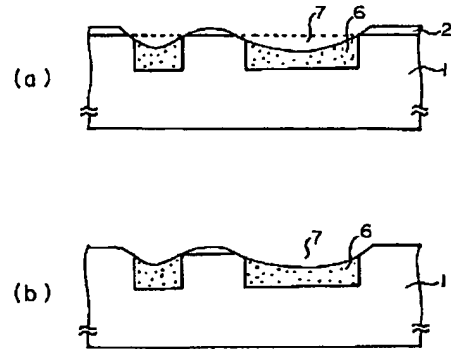
【図17】



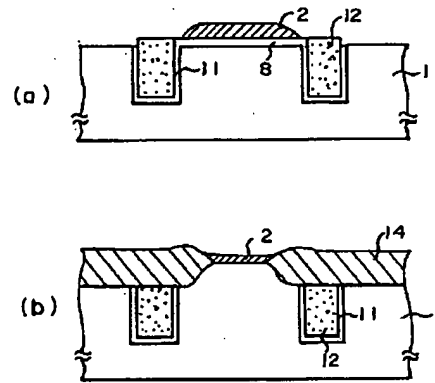
【図19】



【図18】



【図20】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第3部門第3区分
 【発行日】平成13年9月4日(2001.9.4)

【公開番号】特開平9-194823
 【公開日】平成9年7月29日(1997.7.29)
 【年通号数】公開特許公報9-1949
 【出願番号】特願平8-110575
 【国際特許分類第7版】

C09K 3/14 550
 B24B 37/00
 H01L 21/304 321

【F I】

C09K 3/14 550 E
 B24B 37/00 H
 H01L 21/304 321 P

【手続補正書】

【提出日】平成12年11月14日(2000.11.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 窒化珪素粒子からなる研磨粒子を所定粘度の溶媒にコロイド状態で分散させたことを特徴とする研磨剤。

【請求項2】 CMPに用いることを特徴とする請求項1に記載の研磨剤。

【請求項3】 粒子径が0.01~1000nmの窒化珪素粒子からなることを特徴とする請求項1又は請求項2に記載の研磨剤。

【請求項4】 前記溶媒にコロイド状態で分散された研磨粒子の2次粒子の粒子径が60~300nmであることを特徴とする請求項1乃至請求項3のいずれかに記載の研磨剤。

【請求項5】 イオン水をさらに加えることを特徴とする請求項1乃至請求項4のいずれかに記載の研磨剤。

【請求項6】 前記研磨剤の粘度は、1~10センチポイズ(cP)であることを特徴とする請求項1乃至請求項5のいずれかに記載の研磨剤。

【請求項7】 前記溶媒には硝酸を用いることを特徴とする請求項1乃至請求項6のいずれかに記載の研磨剤。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】本発明は、被ポリッシング材のポリッシング処理において、窒化珪素からなる研磨粒子を硝酸などの溶媒にコロイド状態で分散させた研磨剤を用いることを特徴としている。また、この研磨粒子を溶媒にコロイド状態で分散させた研磨剤をCMPに適用して半導体基板上の被ポリッシング材をポリッシングすることを特徴としている。研磨粒子の1次粒子径は、0.01~1000nmが適当であり、2次粒子径は、60~300nmが適当である。2次粒子径は、0.01μm以上の粒子径が測定できる遠心沈降法を用いて測定した。1次粒子は、粒子そのものをいい、2次粒子は、溶媒に分散したときに分子間力などの作用によって1次粒子が凝集して形成されたコロイド状の粒子であり、表面領域は、1次粒子が付着したり離れたたりしている不安定な状態にある。溶媒が水などの場合のように、2次粒子が生成されない研磨剤もある。本発明は、1次粒子のみの研磨剤は含まれず、2次粒子のみの研磨剤あるいは1次粒子及び2次粒子を含む研磨剤を対象としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】この研磨剤を用いてCMPを実施する場合、研磨剤をイオン水などの分散剤で希釈して用いても良い。研磨剤の粘度は、1~10センチポイズ(cP)が適当である。研磨剤に窒化珪素を含む研磨粒子をコロイド状態で分散させたものは高い硬度を有しており、従来知られている研磨粒子を分散させたものよりポリッシングレートが大きく、被ポリッシング膜の平坦化を効率

良く行うことができる。また、窒化珪素を含む研磨粒子を分散させた研磨剤をポリッシングに用い、被ポリッシング膜が形成された基板上のストッパー膜として前記材料と同一の材料を含むものを用いる場合にはストッパー膜に対して高い選択比を得ることができ、ディッシングのない加工形状の被ポリッシング膜を得ることができる。窒化珪素を含む研磨粒子は、研磨剤の材料として新規であり、高い硬度を有しているのでポリッシングレートが大きくポリッシング処理に最適な材料である。窒化珪素を含む研磨粒子は、窒化珪素膜が半導体装置の層間絶縁膜や保護絶縁膜などに従来から良く用いられているので高純度のものが得られる。さらに、窒化珪素膜は、ストッパー膜として最終的に取り去らずに半導体基板に絶縁膜の一部としてそのまま利用することも出来るので半導体装置の製造方法に適用してとくに有用である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】ポリッシング温度は、20～70℃が適しており、とくに高温処理ではケミカルな作用が強くなる。窒化珪素粒子の粒径は、1次粒子で0.01～1000nmの範囲が使用される。1000nmを越えるとメカニカルポリッシュ性が強くなり過ぎてケミカルポリッシュ性の影響が極端に少なくなるので好ましくない。また、0.01nmより小さいとメカニカルポリッシュ性が弱くなりバランスのとれたポリッシングができなくなる。とくに1次粒子で10～40nmが好ましく、メカニカルポリッシュ性とケミカルポリッシュ性とのバランスの良いポリッシングができる。またコロイド状態などになった2次粒子では60～300nmが適当であり、特に60～100nmが好ましい。図4(a)に、CVD酸化膜6をこのポリッシング装置で平坦化した後の状態を示す。ポリッシング後は、ストッパー膜である窒化珪素膜2をエッチング除去する(図4(b))。このあと仕上げのポリッシングを行い、半導体基板面とCVD酸化膜6の表面を一樣に仕上げる(図5)。このポリッシングにより、シリコン半導体基板1及び埋め込んだCVD酸化膜6にディッシングが無い良好な加工形状を得ることができた。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】この発明の実施の形態では、窒化珪素粒子を研磨粒子として使用しているためにストッパー膜である窒化珪素膜2に対して50～1000の選択比と約0.5～1μm/min以上のポリッシング速度を得る

ことができる。また、半導体基板上に形成したストッパー膜と同じ材料を研磨粒子に用いる研磨剤としては、窒化珪素粒子のかわりにグラファイト粒子やSiC粒子などを用いることもできる。その場合のストッパー膜には、勿論グラファイト膜やSiC膜をそれぞれ用いる。研磨剤に含まれる研磨粒子と被ポリッシング膜が形成された基板に設けられたストッパー膜とが同じ材料で構成されている場合、ストッパー膜に対して高い選択比が得られるが、ストッパー膜に対する具体的な選択比は、ポリッシング温度や研磨盤の回転数などのポリッシング条件により大きく変わる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】このフォトリソ9をマスクにしてCVD酸化膜3とストッパー膜となる窒化珪素膜2をRIE法などにより同時に開口する(図8(a))。溝部10を形成した後ウェット処理にてRIE加工時の反応生成物とダメージ層を取り除き、その後溝部10の内表面を熱酸化して酸化膜11を形成する(図8(b))。次に、減圧CVDなどによりポリシリコン膜12を溝部10の内部及びCVD酸化膜3の上に堆積する(図9(a))。次に、ポリシリコン膜12を被ポリッシング膜として図16に示すポリッシング装置を用いて1回目のポリッシングを行う。このポリッシング装置に用いる研磨剤には、研磨粒子として窒化珪素粒子が硝酸からなる溶媒にコロイド状態で分散されている。窒化珪素粒子は界面活性剤を混合して分散させても良い。研磨剤の粘度は、1～10cPが適当であり、ポリッシング温度は、20～70℃が適している。研磨粒子の2次粒径は、60～300nmが適当である。この1回目のポリッシングにおけるストッパー膜にはCVD酸化膜3が用いられる。図9(b)に、ポリシリコン膜12をこのポリッシング装置で平坦化した後の状態を示す。酸化膜3をストッパー膜として使用しているため選択ポリッシングができることからディッシングは生じない。1回目のポリッシング後は、CVD酸化膜3をHFを含むエッチング液によりエッチングする(図10(a))。CVD酸化膜3を取り除く結果ポリシリコン膜12は、半導体基板1から突出した状態になっている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】次に、図13及び図14を参照して第3の発明の実施の形態を説明する。最近、CMP技術が高集積デバイスの製造プロセスに用いられており、本発明は

このプロセスに適用できる。ここに示す埋め込み金属配線方法では図16のポリッシング装置を用いて埋め込みCu配線を形成する。研磨剤には窒化珪素粒子を研磨粒子として硝酸からなる溶媒にコロイド状態で分散混入させる。研磨剤に窒化珪素粒子を用いているのでポリッシング速度は、 $0.5 \sim 1.0 \mu\text{m}/\text{min}$ と速く、またこの窒化珪素粒子を分散させた研磨剤を用いたポリッシングにおいて半導体基板上のストッパー膜としてこの粒子と同じ材料である窒化珪素膜を用いるとストッパー膜に対する選択比は著しく高くなる。この窒化珪素粒子を含む研磨剤を用いてポリシリコン膜や酸化シリコン膜など他の材料をストッパー膜にしてもやはりその選択比は、窒化珪素膜の場合ほど高くはないが、従来から知られている研磨粒子を用いる場合より大きい。窒化珪素粒

子の研磨剤への分散は界面活性剤などを用いて分散効率を高めることができる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】

【発明の効果】窒化珪素からなる研磨粒子を溶媒にコロイド状態で分散させた研磨剤は、ポリッシングレートが大きく、被ポリッシング膜の平坦化を効率良く行うことができる。また、この研磨剤を半導体基板をポリッシングするCMPに用いると、被ポリッシング膜に対してデイスティングのない加工形状を得ることができる。